

PAT-NO: JP404092477A

DOCUMENT-IDENTIFIER: **JP 04092477 A**

TITLE: MANUFACTURE OF VARIABLE
CAPACITY DIODE

PUBN-DATE: March 25, 1992

INVENTOR-INFORMATION:

NAME

NAGASE, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP02208061

APPL-DATE: August 8, 1990

INT-CL (IPC): H01L029/93, H01L021/265

US-CL-CURRENT: **257/596**, 257/656

ABSTRACT:

PURPOSE: To reduce characteristic irregularity of a variable capacity diode by forming an impurity concentration distribution by ion implanting of excellent controllability and annealing at a low temperature for a short time.

CONSTITUTION: With photoresist mask 7 to be used as a mask, P is ion implanted in the opening of the photoresist mask $5.5 \times 10^{11} / \text{cm}^2$ at 250keV. Further, after the mask 7 is removed, it is covered with other photoresist mask 8. With the mask 8 to be used as a mask P is ion implanted in the opening of the mask $4.5 \times 10^{11} / \text{cm}^2$ at 360keV, then annealed at a low temperature of 900°C for a short time of 20sec by a lamp annealing unit to distribute the P, thereby forming an impurity concentration distribution having a p-n junction of a variable capacity diode. Thus, an irregularity in the diffusing depth of the impurities by heat treating is

reduced, and
characteristic irregularity in the diode can be reduced.

COPYRIGHT: (C)1992,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-92477

⑮ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月25日

H 01 L 29/93
21/265

H 7638-4M

7738-4M H 01 L 21/265
7738-4M
7738-4M

A
Z
F

審査請求 未請求 請求項の数 3 (全6頁)

⑬ 発明の名称 可変容量ダイオードの製造方法

⑰ 特 願 平2-208061

⑱ 出 願 平2(1990)8月8日

⑲ 発 明 者 永 瀬 弘 幸 山梨県中巨摩郡竜王町西八幡(番地なし) 株式会社日立
製作所武蔵工場甲府分工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

可変容量ダイオードの製造方法

2. 特許請求の範囲

1. p型不純物のイオン打込みと、n型不純物の多重イオン打込みと、アニールとを通じて可変容量ダイオードを製造するにあたり、半導体基板を構成する原子と同等以上の原子半径をもつn型不純物のイオン打込みを行なって当該領域を非晶質化した後、p型不純物のイオン打込みを行ない、その後、低温、短時間アニールを施し、さらに、n型不純物の多重イオン打込みを行ない、その後、低温、短時間アニールを施すようにしたことを特徴とする可変容量ダイオードの製造方法。

2. 不純物のイオン打込みにおいて、拡散係数の小さい不純物ほど先にイオン打込みするようにしたことを特徴とする請求項1記載の可変容量ダイオードの製造方法。

3. Aのイオン打込みを行なって当該領域を非晶質化した後、Bのイオン打込みを行ない、その

後、低温、短時間アニールを施し、さらに、Pの多重イオン打込みを行ない、その後、低温、短時間アニールを施すようにしたことを特徴とする請求項1または請求項2記載の可変容量ダイオードの製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体製造技術に適用して有効な技術に関するもので、例えば、可変容量ダイオードの製造技術に利用して特に有効な技術に関するものである。

[従来の技術]

可変容量ダイオードの駆動電圧は低電圧化し、可変容量ダイオードでカバーされるべき周波数帯域は広域化する傾向にあり、これに対応するためには、容量変化比が大きく直線性の良い容量特性を持つ可変容量ダイオードが必要となってきた。

ところで、従来の可変容量ダイオードの製造技術としては、特開昭55-156373号、特開昭55-133578号、特開昭55-2916

9号、特開昭47-18283号、特開昭56-78174、特開昭49-51879号、特公昭41-11054号公報などに記載の第1の範疇の技術が知られている。

この第1の範疇の技術では、n型半導体基板上にn型エピタキシャル層を形成し、当該エピタキシャル層の特定領域にn型の不純物をイオン打込みし、高温で長時間の熱処理を数回繰り返すことによりn⁺超階段層を形成して、その後、高濃度のp型不純物のイオン打込み及び高温で長時間の熱処理によりp⁺-n⁺接合を形成することにより可変容量ダイオードの製造を行なっている。

また、他の技術(第2の範疇の技術)として、例えば特公昭56-26477号公報に記載の技術が知られている。

この技術では、 $1 \times 10^{17}/\text{cm}^2$ 程度の高濃度基板上に $1 \times 10^{17}/\text{cm}^2$ 程度のn型のエピタキシャル層を形成し、このエピタキシャル層の限られた部分に先ずp型不純物をイオン打込みし、900℃、20分の熱処理を行ない、次に、n型の不純

また、深さ方向に対して効率的に不純物濃度分布が形成できないという問題もある。

この後者の範疇の技術の問題である「不純物のチャネリングにより不純物の接合深さが深くなる」という点を解消するための技術として、半導体基板を構成する原子と同等以上の原子半径をもつ原子(Si, Ge, Ar等)を予めイオン打込みし、半導体基板表面層を非晶質化する方法が報告されている。またBによるp型不純物層の形成についてはBF₃等の高分子量のイオン打込みでも可能であることが報告されている。なおこれらの報告については、月刊セミコンダクタワールド2(1986)第67頁～第73頁において論じられている。

しかし、この技術におけるチャネリングの抑制方法のうち、ArまたはBF₃のイオン打込みの場合は、電気的特性と無関係な原子が存在することで生じる格子欠陥により接合リーク電流が増大する問題があり、また、Si打込みによる場合には完全にチャネリングを防止できずpn接合が緩

物を数回、異なるエネルギー、ドーズ量でイオン打込みし、800℃、20分の熱処理によりp⁺-n⁺接合を形成することによって可変容量ダイオードの製造を行なっている。

[発明が解決しようとする課題]

しかし、前記第1の範疇の技術では、多数回のイオン打込みとそれぞれに対する高温で長時間の熱処理とにより不純物濃度分布を形成するため、浅い領域に必要な不純物分布を形成できず、高い容量変化比をもち直線性の良い可変容量ダイオードが形成できなくなるばかりか、熱拡散による特性バラツキが大きく、拡散工程に長時間を要するという問題がある。

一方、上記第2の範疇の技術では、B(硼素)によってpn接合を形成する方法にあっては、硼素のイオン打込みの時のチャネリング現象の点について考慮されておらず、さらには、拡散係数の大きい不純物を先にイオン打込みしているため、所望の不純物濃度を持った浅い不純物層の形成ができにくいという問題がある。

やかな形状となる。このため容量-電圧特性の低バイアスにおける容量値が下がり、容量変化比が高くてできないという問題がある。

本発明は、かかる点に鑑みてなされたもので、容量-電圧特性のバラツキを低減し、拡散工程の工数低減を行なうことを目的としている。また、容量変化比が大きいかつ、直線性に優れた容量-電圧特性をもつ可変容量ダイオードの製造方法を提供することを他の目的としている。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

[課題を解決するための手段]

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

請求項1記載の発明は、p型不純物のイオン打込みと、n型不純物の多重イオン打込みと、アニールとを通じて可変容量ダイオードを製造するにあたり、半導体基板を構成する原子と同等以上の原子半径をもつn型不純物のイオン打込みを行な

って当該領域を非晶質化した後、p型不純物のイオン打込みを行ない、その後、低温、短時間アニールを施し、さらに、n型不純物の多重イオン打込みを行ない、その後、低温、短時間アニールを施すようにしたものである。

請求項2記載の発明は、請求項1記載の発明において、不純物のイオン打込みにおいて、拡散係数の小さい不純物ほど先にイオン打込みするようにしたものである。

また、請求項3記載の発明は、請求項1記載の発明において、Asのイオン打込みを行なって当該領域を非晶質化した後、Bのイオン打込みを行ない、その後、低温、短時間アニールを施し、さらに、Pの多重イオン打込みを行ない、その後、低温、短時間アニールを施すようにしたものである。

[作用]

前記した手段によれば、不純物濃度分布を制御性の良いイオン打込みと低温で短時間のアニールによって形成するようにしているので、熱処理に

よる不純物の拡散深さのバラツキが少なく、可変容量ダイオードの特性バラツキが低減できる。

また、半導体基体を構成する原子と同等以上の原子半径をもつn型不純物を半導体基板表面にイオン打込みすることにより半導体基板表面が非晶質化され、このためその後イオン打込みされる不純物原子のチャネリングを抑制することができ、したがって、所望深さの不純物層の形成が可能となる。その上、先に半導体基板表面を非晶質化する目的でイオン打込みしたn型不純物は、アニールにより活性化し、その後形成されるn型不純物濃度分布を補正できる。これにより容量変化比が高くなる方向へ容量特性が改善される。

さらに、拡散係数の小さい不純物ほど先にイオン打込みを行なう請求項2または請求項3記載のものでは、イオン打込みした不純物が必要以上に拡がらないので深さ方向に対して容易に所望の不純物濃度分布を形成できる。

[実施例]

以下、本発明の一実施例を第1図、第2図及び

第3図に基づいて説明する。

第1図(A)～(H)は可変容量ダイオードの製造工程の各断面図、第2図はそのプロセスフローを示している。この可変容量ダイオードの製造方法を第1図(A)～(H)および第2図に基づいて説明すれば下記のとおりである。

まず、第1図(A)に示すように高濃度n型基板1の上に $2 \times 10^{11}/\text{cm}^2$ 程度のn型エピタキシャル層2を形成する。

次に、第1図(B)に示すように当該エピタキシャル層2の上に酸化膜3を被着させる。

続いて、酸化膜3における可変容量ダイオードを形成すべき領域を除去して開口した後、軽い酸化を行なう。これによって酸化膜3の開口部にも薄い酸化膜3aが形成される。この薄い酸化膜3aは900℃のドライO₂雰囲気中で形成される。この酸化膜3aの厚さは300Å程度であり、イオン打込み時のSi表面の保護膜として機能する。その後、ホトレジストマスク4を形成する。このホトレジストマスク4は前記酸化膜3の開口部の

周縁部およびその外方部を隠蔽するようなパターンとなっている。次に、当該ホトレジストマスク4をマスクにして当該ホトレジストマスク4の開口部にAsを190keV、 $1 \times 10^{11}/\text{cm}^2$ で打込み、Si表面層を非晶質化して第1図(D)の状態となる。

次いで、前記ホトレジストマスク4を除去した後、他のホトレジストマスク5を被着させる。このホトレジストマスク5の開口部の大きさは前記ホトレジストマスク4の開口部の大きさよりも僅かに大きくなるように設定されている。そして、このホトレジストマスク5をマスクにして当該ホトレジストマスク4の開口部にBを35keV、 $5 \times 10^{11}/\text{cm}^2$ 打込み(第1図(E))、950℃で20秒の低温、短時間アニールをランプアニール装置により行ない、第3図(A)の(I)のBの浅い接合を形成すると同時に、Asを活性化させ、(ロ)の分布を形成する。

次に、前記ホトレジストマスク5を除去した後、他のホトレジストマスク6を被着させる。このホ

トレジストマスク6の開口部の大きさは前記ホトレジストマスク4の開口部の大きさよりも僅かに小さくなるように設定されている。そして、このホトレジストマスク6をマスクにして当該ホトレジストマスクの開口部にPを190 keV、 $7.5 \times 10^{11} / \text{cm}^2$ でイオン打込みする(第1図(F))。次に、前記ホトレジストマスク6を除去した後、他のホトレジストマスク7を被着させる。このホトレジストマスク7の開口部の大きさは前記ホトレジストマスク6の開口部の大きさよりも僅かに小さくなるように設定されている。そして、このホトレジストマスク7をマスクにして当該ホトレジストマスクの開口部にPを250 keV、 $5.5 \times 10^{11} / \text{cm}^2$ でイオン打込みする(第1図(G))。さらに、前記ホトレジストマスク7を除去した後、他のホトレジストマスク8を被着させる。このホトレジストマスク8の開口部の大きさは前記ホトレジストマスク7の開口部の大きさよりも僅かに小さくなるように設定されている。そして、このホトレジストマスク8をマスクにし

なり高い容量変化比が得られる。

上記のような方法によれば下記のような効果を得ることができる。

先ず、不純物濃度分布を制御性の良いイオン打込みと低温で短時間のアニールによって形成するようにしているので、熱処理による不純物の拡散深さのバラツキが少なく、可変容量ダイオードの特性バラツキが低減できる。

また、半導体基体を構成するSi原子と同等以上の原子半径をもつn型不純物Asを半導体基板表面にイオン打込みしていることにより半導体基板表面が非晶質化され、このためその後イオン打込みされる不純物原子B、Pのチャネリングを抑制することができ、したがって、所望深さの不純物層の形成が可能となる。その上、先に半導体基板表面を非晶質化する目的でイオン打込みしたn型不純物Asは、アニールにより活性化し、その後形成されるn型不純物濃度分布を補正できる。これにより容量変化比が高くなる方向へ容量特性が改善される。

て当該ホトレジストマスクの開口部にPを360 keV、 $4.5 \times 10^{11} / \text{cm}^2$ でイオン打込みし(第1図(H))、その後、900℃で20秒の低温、短時間アニールをランプアニール装置により行ない、第3図(A)の(H)のPの分布を形成して、第3図(A)の(ニ)の可変容量ダイオードのpn接合をもつ不純物濃度分布を形成する。その後、電極の形成等を行なって可変容量ダイオードを製造する。

なおちなみに、As打込みによりSi表面の非晶質化を行わない場合は、第3図(B)の(イ)に示すようにBの分布は、打込み時のチャネリングにより接合が深くなり第3図(B)の(ニ)のようなpn接合をもつ不純物濃度分布となる。

また、第3図(A)及び第3図(B)の(ニ)で示される不純物濃度分布からなる容量特性は、それぞれ、第4図のa及びbのようになる。第1図および第2図に示す工程によりできる容量特性aは、従来のAsによるSi表面の非晶質化を行わない場合のbに比べ1V近く容量値が大きく

さらに、拡散係数の小さい不純物ほど先にイオン打込みを行なっているので、イオン打込みした不純物が必要以上に拡がらないので深さ方向に対して容易に所望の不純物濃度分布を形成できる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である可変容量ダイオードの製造技術を例に説明したが、浅いpn接合が必要な半導体製造技術一般に応用可能である。

[発明の効果]

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

即ち、本発明によれば、不純物濃度分布を制御性の良いイオン打込みと低温で短時間のアニール

によって形成するようにしているので、熱処理による不純物の拡散深さのバラツキが少なく、可変容量ダイオードの特性バラツキが低減できる。

また、半導体基板を構成する原子と同等以上の原子半径をもつn型不純物を半導体基板表面にイオン打込みすることにより半導体基板表面が非晶質化され、このためその後イオン打込みされる不純物原子のチャネリングを抑制することができ、したがって、所望深さの不純物層の形成が可能となる。その上、先に半導体基板表面を非晶質化する目的でイオン打込みしたn型不純物は、アニールにより活性化し、その後形成されるn型不純物濃度分布を補正できる。これにより容量変化比が高くなる方向へ容量特性が改善される。

さらに、拡散係数の小さい不純物ほど先にイオン打込みを行なう請求項2または請求項3記載のものでは、イオン打込みした不純物が必要以上に拡がらないので深さ方向に対して容易に所望の不純物濃度分布を形成できる。

4. 図面の簡単な説明

第1図は本発明の一実施例の製造方法を示す各工程の縦断面図、

第2図は本発明の一実施例の製造方法を示す工程フロー図、

第3図(A.)は第2図に示す製造方法で形成される不純物濃度分布図、

第3図(B.)は従来製造方法で形成される不純物濃度分布図、

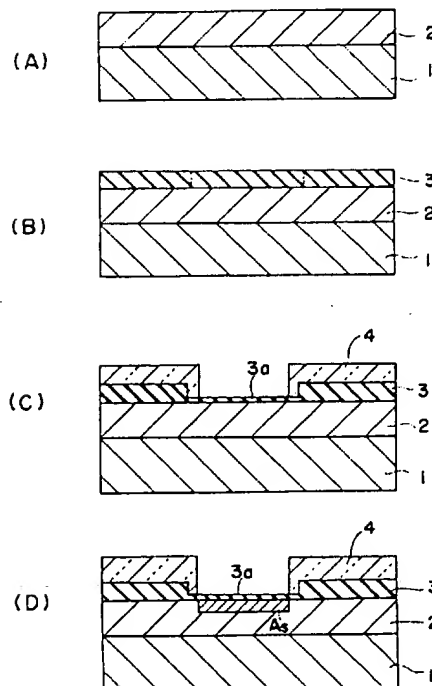
第4図は従来の製造方法及び第2図に示す製造方法で製造された可変容量ダイオードの容量-電圧特性である。

1・・・半導体基板、2・・・エピタキシャル層。

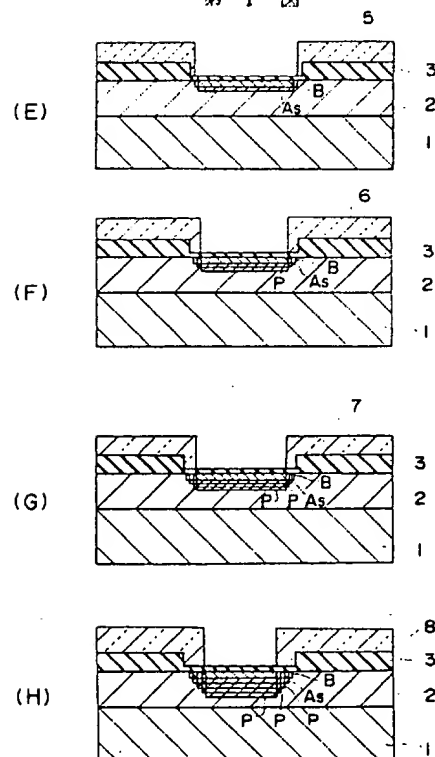
代理人 弁理士 小川勝男



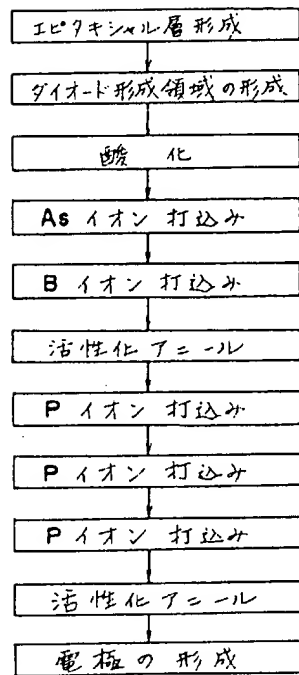
第1図



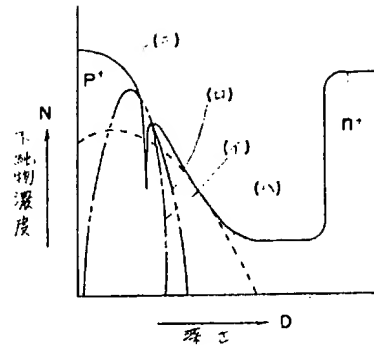
第1図



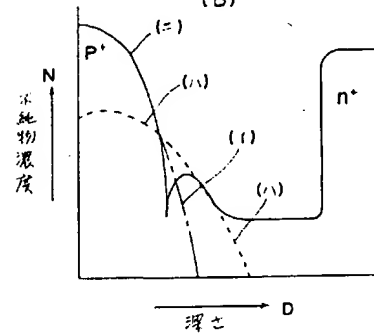
第 2 図



第 3 図
(A)



(B)



第 4 図

